



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10232700 A

(43) Date of publication of application: 02 . 09 . 98

(51) Int. Cl. G10L 9/18

(21) Application number: 09034176

(22) Date of filing: 19 . 02 . 97

(71) Applicant: NEC CORP

(72) Inventor: TACHIKI HIDEO
MIYAZAKI KIKUJI

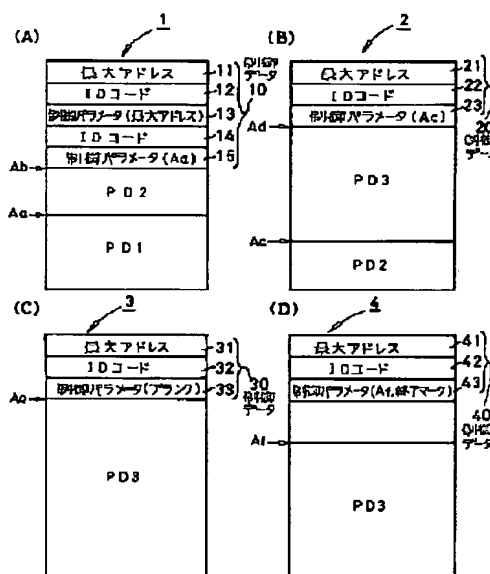
(54) STORAGE MEDIUM AND ITS DATA STORING METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent a memory space from being excessive or deficient and to effectively use the memory by storing playing data in one of the decreasing order and increasing order of addresses, and also storing control data needed for reproduction control over the playing data in the other order.

SOLUTION: The playing data PD1 to PD3 are stored in the decreasing order of the addresses of respective chips and the control data 10 to 40 for readout (reproduction) control over those playing data are stored in the increasing order of the addresses of the chips. At the heads of the control data 10 to 40 of the respective chips, maximum addresses 11 to 41 showing the maximum capacity of the chips are stored each with three bytes. Then ID codes 12 to 42 and control parameters 13 to 43 are stored in pairs following the said addresses. An ID code is an identification code for indicating that data following it is a control parameter, and the ID code and control parameter are therefore always paired and stored.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-232700

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl.⁶

G 1 0 L 9/18

識別記号

F I

G 1 0 L 9/18

G

審査請求 有 請求項の数 10 O L (全 7 頁)

(21) 出願番号 特願平9-34176

(22) 出願日 平成9年(1997) 2月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 立木 英雄

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 宮△崎▽ 喜久次

東京都港区芝五丁目7番1号 日本電気株式会社内

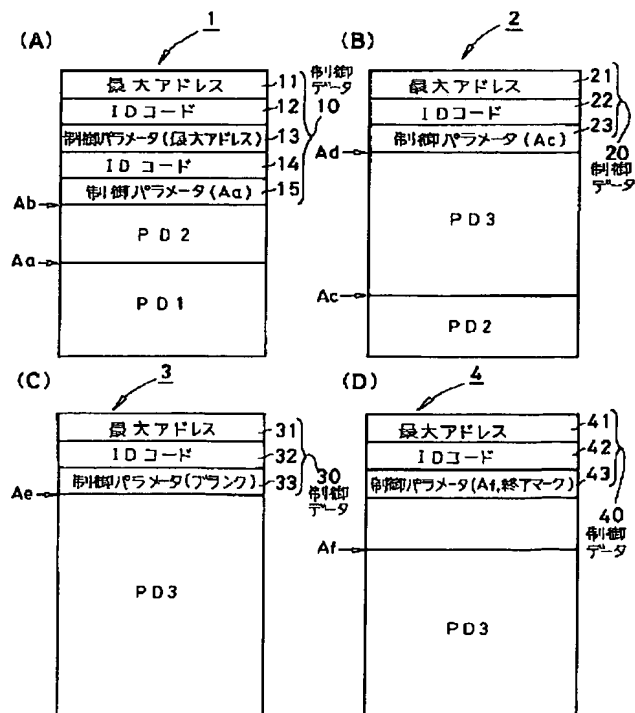
(74) 代理人 弁理士 △柳▽川 信

(54) 【発明の名称】 記憶媒体及びそのデータ格納方法

(57) 【要約】

【課題】 メモリチップにプログラムの演奏データを格納する場合、メモリスペースの有効利用を図り、格納読出し時の制御の簡便化を図る。

【解決手段】 各チップ1～4に、最大アドレスからアドレス降順に演奏データPD1～3を格納し、これ等演奏データの制御用データ10、20、30、40を最小アドレスからアドレス昇順に格納することで、メモリスペースの有効利用を図り、格納読出し時の制御の簡便化を図ることができる。



【特許請求の範囲】

【請求項1】 演奏データがアドレスの降順及び昇順の一方の態様で格納され、この格納された演奏データの再生制御に必要な制御データがアドレスの降順及び昇順の他方の態様で格納されてなることを特徴とする記憶媒体。

【請求項2】 前記制御データは、一群の前記演奏データの全てが当該半導体記憶媒体に格納されているときは、その格納開始アドレスと、その格納終了アドレスに対応したアドレスを含み、前記一群の演奏データの先頭からの一部が格納されているときは、その格納開始アドレスを含み、前記一群の演奏データの最後から一部が格納されているときは、その格納終了アドレスに対応したアドレスを含むことを特徴とする請求項1記載の記憶媒体。

【請求項3】 前記制御データは、前記一群の演奏データの先頭部分と終了部分とを除く中間部分のみが格納されているときは、ブランクを含むことを特徴とする請求項1記載の記憶媒体。

【請求項4】 前記制御データは、前記一群の演奏データに続く他の演奏データが存在しないときは、その格納終了アドレスに対応したアドレスと終了マークとを含むことを特徴とする請求項1または2記載の記憶媒体。

【請求項5】 前記制御データは、この制御データであることを識別するための識別コードを含むことを特徴とする請求項1～4いずれか記載の記憶媒体。

【請求項6】 演奏データをアドレスの降順及び昇順の一方の態様で格納するステップと、この演奏データの再生制御のための制御データをアドレス降順及び昇順の他方の態様で格納するステップとを含むことを特徴とする記憶媒体の格納方法。

【請求項7】 一群の演奏データの格納開始アドレスを前記制御データとして前記アドレス降順及び昇順の他方の態様で格納するステップと、しかる後に前記一群の演奏データをアドレスの降順及び昇順の一方の態様で格納するステップとを含むことを特徴とする請求項6記載の記憶媒体の格納方法。

【請求項8】 前記一群の演奏データの格納が終了したときには、前記制御データとして格納終了アドレスに対応したアドレスを格納するステップを含むことを特徴とする請求項7記載の記憶媒体の格納方法。

【請求項9】 前記一群の演奏データに続く他の演奏データが存在するときにはその他の演奏データの格納開始アドレスを前記制御データとして前記他方の態様で格納し、存在しないときには前記制御データとして前記一群の演奏データの格納終了アドレスに対応したアドレスと終了マークとを格納するステップを含むことを特徴とする請求項7または8記載の記憶媒体の格納方法。

【請求項10】 前記一群の演奏データの前記一方の態様で格納するステップにおいて前記制御データの格納ア

ドレスに達したときに未格納のデータが存在する場合には、次に続く新たな媒体に前記一方の態様で格納するステップと、前記一群の演奏データの格納が終了したときに、前記新たな媒体の前記制御データに前記演奏データの終了アドレスに対応したアドレスを格納するステップとを含むことを特徴とする請求項7～9いずれか記載の記憶媒体の格納方法。

【発明の詳細な説明】**【0001】**

10 **【発明の属する技術分野】** 本発明は記憶媒体及びそのデータ格納方法に関し、特に半導体記憶素子により構成される半導体記憶媒体及びそのデータ格納方法に関するものである。

【0002】

20 **【従来の技術】** 半導体記憶素子の記憶容量の飛躍的な増大に伴い、従来のテープ、ディスク型記憶媒体に加えて、半導体素子で構成される記憶媒体を用いたオーディオあるいはビデオデータの記憶再生装置の実現が可能となってきた。その際に、記録再生時間あたりのコストが相対的に高い半導体記憶素子のための効率の良い、データの格納方法が重要である。

30 **【0003】** 半導体記憶媒体において格納の対象となるデータは、目次に対応する制御データと内容に対応する演奏データの2種類に分けられる。図10は従来の半導体記憶媒体のデータ格納方法に係るメモリマップを示している（例えば特開平7-325600号公報参照）。図10によれば、内容テーブル領域58には内容テーブルデータと称する制御データ、データ領域60には演奏データであるチャプター#1～#nを夫々アドレスの昇順に格納することとしている。

【0004】

40 **【発明が解決しようとする課題】** こうした従来の格納方法では、2種類のデータを共にアドレスの昇順で格納するので、先に格納するデータ、従来例においては制御データのために予めメモリスペースを固定的に確保し、それに引き続いて演奏データのためのメモリスペースを設けることになり、制御データに比して演奏データが少量、あるいはその逆であるというような相対的なデータ数量の変動に柔軟に対処することができず、メモリスペースに過不足が生ずることは避けられない。

【0005】 データをマスクROM(READ ONLY MEMORY)等を用いた再生専用型の半導体記憶媒体に、半導体素子の製造工程で一括して格納する際には、メモリスペースを過不足なく算定して確保することが可能であるが、その場合には演奏データの格納開始アドレスが半導体記憶素子毎に異なるパラメータとなるために、データの格納あるいは読出しに際しての制御が煩雑となる等の不都合が生ずる。

50 **【0006】** 本発明の目的は、半導体記憶素子におけるメモリアクセスのフレキシビリティを活用した、半導体

記憶媒体のためのメモリスペースの利用効率が高く、格納あるいは読出しに際しての制御が簡易な記憶媒体及びそのデータ格納方法を提供することである。

【0007】

【課題を解決するための手段】本発明によれば、演奏データがアドレスの降順及び昇順の一方の態様で格納され、この格納された演奏データの再生制御に必要な制御データがアドレスの降順及び昇順の他方の態様で格納されてなることを特徴とする記憶媒体が得られる。

【0008】また、本発明によれば、演奏データをアドレスの降順及び昇順の一方の態様で格納するステップと、この演奏データの再生制御のための制御データをアドレス降順及び昇順の他方の態様で格納するステップとを含むことを特徴とする記憶媒体の格納方法が得られる。

【0009】本発明の作用を述べる。本発明では、演奏データは記憶媒体の最大アドレスからアドレスの降順にまたは最小アドレスからアドレスの昇順に格納し、その制御データは演奏データとは逆の方法でアドレスの降順にまたは昇順に格納するようにしたものであり、かかる格納方法により、格納データ量の変動する、制御データ及び演奏データの2種類のデータを、メモリスペースの過不足を生じさせることなく格納することが可能となり、かつデータの格納開始アドレス及び読出し開始アドレスが記憶媒体の素子毎に一義的に定まるので、制御が容易となる。

【0010】

【発明の実施の形態】以下に図面を用いて本発明の実施例について説明する。

【0011】図1は本発明の半導体記憶媒体のデータ格納の一例を示す図である。図1においては、4つのメモリチップ1～4を用いて3つのプログラム演奏データ（第1～第3群の演奏データ）PD1～PD3の格納を行う際のメモリマップを示している。

【0012】メモリチップ1～4の各々は4Mバイト／チップの記憶容量を有しているものとし、1バイト／ワード（語）により構成されているものとする。演奏データPD1～PD3の各々は各チップのアドレスの降順に格納され、これ等演奏データの格納読出し（再生）制御のための制御データ10、20、30、40の各々は各チップのアドレスの昇順に格納されている。

【0013】各チップの制御データ10、20、30、40の各々の先頭には、チップの最大容量を示す最大アドレス11、21、31、41が、夫々3バイト（3ワード）にて格納されており、本例では、この最大アドレス値は「4194303」である。それに続いて、IDコード12、22、32、42の各々と制御パラメータ13、23、33、43の各々とが互いに対となって格納される。

【0014】IDコードはそれに続くデータが制御パラ

メータであることを示す識別用コードであり、よってこのIDコードと制御パラメータとは必ず一対となって格納されることになる。尚、IDコードと制御パラメータとの対が何対格納されるかは、そのチップにおける演奏データの格納態様により変化するものであり、図1の例では、(A)～(D)に各チップのメモリマップに示す如く、チップ1は2対、チップ2～4は夫々1対ずつ格納されている。

【0015】IDコードはそれに続くものが制御パラメータであることを示すためのものであるから、演奏データの中に通常生じし得ないような、例えば図2に示す如き1ワードの8ビットが全て“1”の「オール1」と、全て“0”の「オール0」とが、交互に1ワードずつ並んだ、合計4ワードからなるコードが設定されているものとする。

【0016】それに続く制御パラメータには、各種制御に必要なプログラム演奏データの名称等の種々の項目（ディレクトリ）が含まれるが、ここでは、簡単化のために、演奏データの格納開始アドレス、格納終了アドレス、最後の群（第3群）の演奏データの終了を示す終了マーク（図2の131）、ブランクの5種の制御パラメータがあるものとする。

【0017】これ等5種の制御パラメータのうちいずれが格納されるかは、前述した如く、そのチップにおける演奏データの格納態様に従うものである。

【0018】尚、図3は図2に示したIDコードを検出するためのアルゴリズムの例を示しており、このアルゴリズムにより最終的に“YES”が検出されると、IDコードであることが判定され、それに続く制御パラメータが検出されることになる。よって、この図3に示したIDコード検出アルゴリズムはチップ1～4の格納データの読出し時に用いられるものであり、後において述べる図7～図9の読出し時のフローチャートにて使用されることになる。

【0019】再び図1を参照すると、第1のチップ1（図1（A））には、先ず、最初の3バイト11に最大アドレス(4194303)が格納される。そして、IDコード12が格納され、続いて第1番目のプログラムの格納開始アドレス（最大アドレスに相当）が制御パラメータ13に格納される。その後この演奏データ（第1群）PD1がチップ1の最大アドレスから降順に格納される。

【0020】演奏データPD1の格納がアドレスAa+1で終了すると、第2番目のプログラムの演奏データPD2の格納のためのIDコード14が格納され、続いて制御パラメータ15には演奏データPD2の格納開始アドレス値Aaが格納される。

【0021】アドレスAaから演奏データPD2の格納が開始され、前記の制御パラメータ15の格納アドレスAbに到達しても、演奏データPD2は終了しないので、次のメモリチップ2の最大アドレスに継続して降順

に格納され、アドレスAc+1で終了する。メモリチップ2の制御パラメータ23に、第3番目のプログラムの演奏データPD3の格納開始アドレス値Acが格納され、演奏データPD3の格納が開始される。

【0022】演奏データPD3はアドレスAdに至っても終了せず、よって、次のメモリチップ3の最大アドレスに継続し、アドレスAeに至っても格納が完了しないので、更に次のメモリチップ4に継続して格納される。この場合メモリチップ3の制御パラメータ33にはブランクが格納される。

【0023】演奏データPD3の格納がアドレスAf+1で終了すると、これが最後の演奏データであるので、制御パラメータ43にはアドレスAfが格納されると共に、演奏データの格納の終了を示す終了マーク（図2の131）が付加される。

【0024】図4～図6は上述したデータ格納方法の一般的な処理の流れを示す概略フロー図である。先ず、メモリチップの番号Cを「1」に設定する（S1）。また昇順アドレスカウンタを最小値「0」に設定して、このメモリチップ1の制御データ10をアドレス昇順に格納する（S2）。この時、図1の例では、最大アドレス11が先ず格納される。

【0025】次に、降順アドレスカウンタを最大アドレス値に設定し（S3）、第1番目のプログラム演奏データPD1を降順に（-1しつつ）格納する（S4）。この演奏データPD1が終了すると（S5）、後続の演奏データがあるかどうか判定され（S6）、なければ、制御データにIDコードと終了マーク付きの降順アドレスカウンタ値とが格納されて終了となる（S7）。この場合の例が図1（D）に示されたものである。

【0026】ステップS5において、演奏データが終了していなければ、降順アドレスカウンタ値が昇順カウンタ値と比較され（S8）、等しくなければ、まだ演奏データの格納領域が残っているのでステップS4へ戻り、更に演奏データが降順に格納される。

【0027】ステップS6において、後続演奏データがあれば、その時の降順アドレスカウンタ値を制御データの制御パラメータ（IDコードと対に昇順に）を格納する（S11、S12）。そして、ステップS4へ戻り、後続演奏データの降順格納が続行される。

【0028】ステップS8において、降順アドレスカウンタ値と昇順アドレスカウンタ値とが比較され、両アドレスカウンタ値が等しくなると、次のチップ（C+1）へ格納する必要があるので、次のチップがあるかどうか判定される（S9、S10）。なければ（図1の例ではC=5になると）、終了となる。そうでなければ、次のチップに格納すべく、このチップの制御データの昇順の格納がなされる（S2）。

【0029】以降は、上述と同じ手順が繰返されて格納処理が進められることになる。

【0030】次に、再び図1のメモリマップを参照して、データの読出しについて説明する。先ずはじめにメモリチップ1の最小アドレスに格納されている最大アドレス値11に続いて最初のIDコード12を確認して制御パラメータ13に格納されている最大アドレス値が読出される。更に、次のIDコード14が確認され、続く制御パラメータ15の内容Aaは第2番目のプログラムの演奏データPD2の格納開始番地と判定され、演奏データPD1は最大アドレスから降順にアドレスAa+1に亘って読出される。

【0031】演奏データPD1の読出しが終了すると次の識別コードが検索されるが、メモリチップ1には存在しないので、次のメモリチップ2の制御パラメータ23の内容Acを第3番目のプログラムの演奏データPD3の格納開始アドレスと判定し、演奏データPD2はアドレスAaからAb、更にメモリチップ2の最大アドレスに継続してアドレスAc+1に亘って降順に読出される。

【0032】同様に、第3番目のプログラムの演奏データPD3はアドレスAcから始まり、アドレスAd、メモリチップ3に継続し、制御パラメータ33がブランクであるので、アドレスAeから更にメモリチップ4に継続し、アドレスAf+1に亘って読出される。制御パラメータ43の終了マークを検出して、全ての演奏データの読出しを終了する。

【0033】図7～9は上述したデータ読出し方法の一般的な処理の流れを示す概略フロー図である。先ず、読出すべきメモリチップの番号Cを「1」に設定する（S20）。このチップの制御データを昇順に読出し（S21）、降順アドレスカウンタ値を最大アドレスに設定する（S22）。そして、制御パラメータがブランクであるかどうか判定される（S23）。

【0034】ブランクでなければ、制御パラメータに終了マークがあるかどうか判定され（S24）、なければそのままステップS30へ移り、あれば、終了マーク検出スイッチSW（フラグ）に「1」を設定してステップS30へ移る（S25）。

【0035】ステップS30において、後続の演奏データの読出し開始アドレス値（NPDAとする）を図示せぬ他のメモリ等に設定して演奏データを降順に読出す（S31）。この降順アドレスカウンタ値がNPDAに等しくなるまで、演奏データの読出しが行われ（S32、S31）、等しくなると、SW=1の判定がなされる（S33）。

【0036】SW=1であれば、終了マーク検出済みであるから、演奏データは全て終了となり、動作終了となる。そうでなければ、ステップ23へ戻ることになる。

【0037】ステップS23において、制御パラメータがブランクであれば、降順アドレスカウンタ値が昇順アドレスカウンタ値と等しくなるまで演奏データの降順読

10

20

30

40

50

出しがなされる(S26, S27)。等しくなると、次のチップへの読出しとなるので、チップ番号Cが「+1」され(S28)、残りのチップが存在するかどうか判定される(S29)。残りのチップがなければ読出しは停止となり、存在すれば、ステップS21へ戻ることになる。

【0038】尚、上記実施例では、制御データを昇順に、演奏データを降順に夫々格納する例を示したが、この逆とすることは勿論可能であり、メモリチップのアドレスの降順、昇順は、アドレスの設定の仕方により定まるもので、特許請求の範囲はこれ等両ケースを含むものである。

【0039】また、上記実施例では、制御データ及び演奏データを順次実時間に従って格納する例を説明したが、マスクROM等を用いた再生専用の半導体記憶媒体に、これ等データを半導体素子の製造工程で一度に一括して格納する際にも、図1に示した如き格納態様とされるものである。

【0040】

【発明の効果】以上述べた如く、本発明によれば、メモリスペースの過不足の発生を防止してメモリの有効利用を図ることができると共に、データの格納、読出しの際の制御を簡易にし得るという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例のデータ格納態様及び格納方法*

*を示す図である。

【図2】制御データの例を示す図である。

【図3】IDコードの検出アルゴリズムを示す図である。

【図4】本発明の実施例のデータ格納方法のフローチャートである。

【図5】本発明の実施例のデータ格納方法のフローチャートである。

【図6】本発明の実施例のデータ格納方法のフローチャートである。

【図7】本発明の実施例のデータ読出し方法のフローチャートである。

【図8】本発明の実施例のデータ読出し方法のフローチャートである。

【図9】本発明の実施例のデータ読出し方法のフローチャートである。

【図10】従来のメモリチップのデータ格納方法に係わるメモリマップを示す図である。

【符号の説明】

1～4 メモリチップ

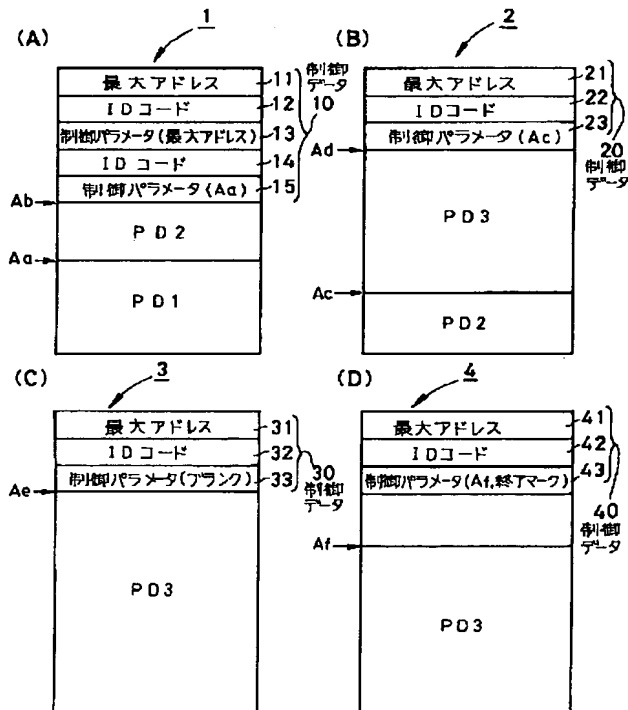
10, 20, 30, 40 制御データ

12, 14, 22, 32, 42 IDコード

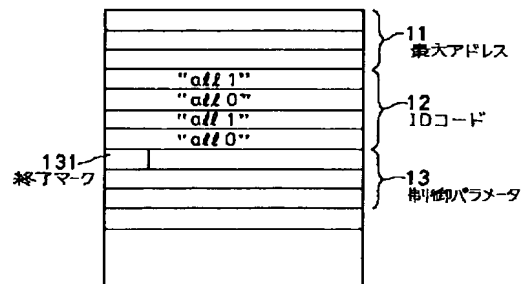
13, 15, 23, 33, 43 制御パラメータ

PD1～PD3 プログラムの演奏データ

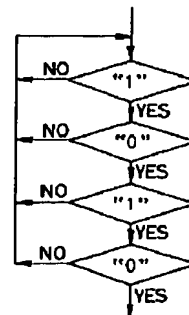
【図1】



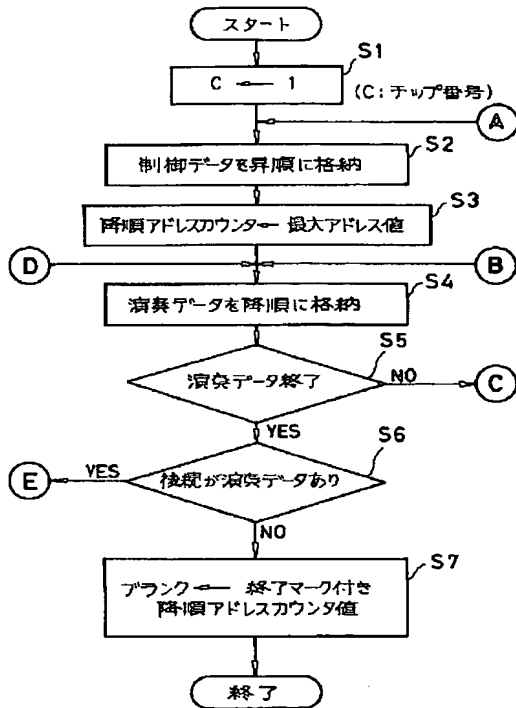
【図2】



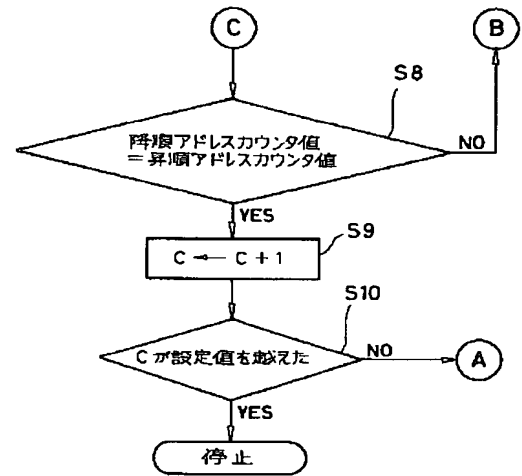
【図3】



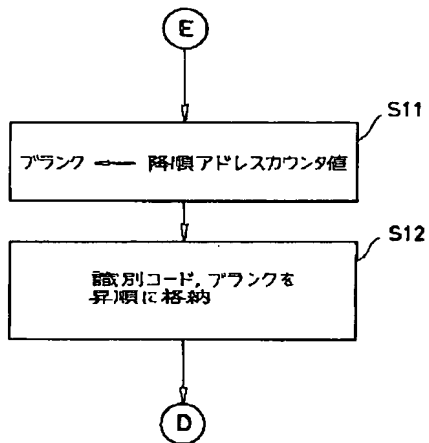
【図4】



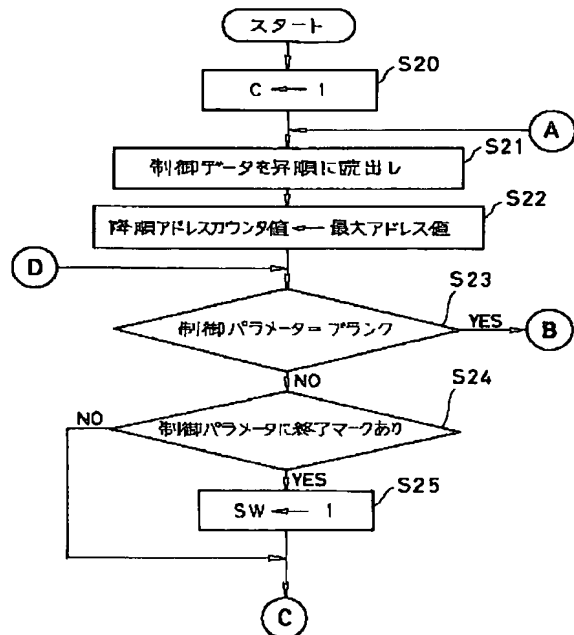
【図5】



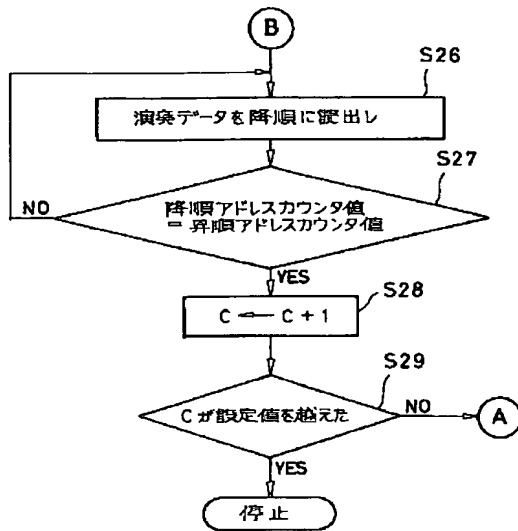
【図6】



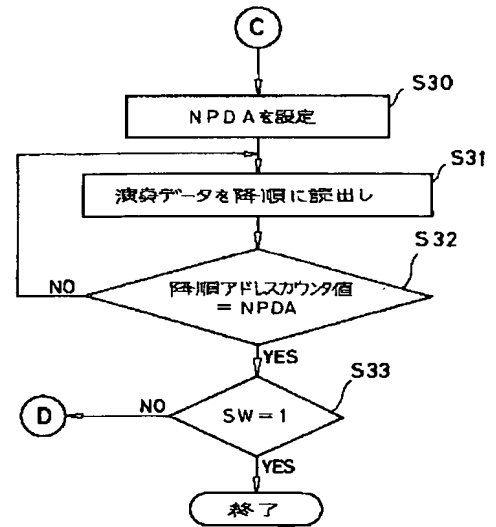
【図7】



【図8】



【図9】



(NPDA: 検続の演算データの読出し
開始アドレス値)

【図10】

58	内容 データ 領域	識別コード
		ICカードタイプ
		ICカード容量
		チャプター数
		ポインタ: 開始アドレス
		チャプター: 開始及び終了 アドレス
60	デ ィ タ 領域	使用領域
		予備領域
		チャプター #1
		チャプター #2
		チャプター #3
		チャプター #n